

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-286428

(43)Date of publication of application : 13.10.2000

(51)Int.Cl.

H01L 29/80
H01L 21/06
H01L 21/8232
H01L 27/095

(21)Application number : 11-091495

(71)Applicant : NEC CORP

(22)Date of filing : 31.03.1999

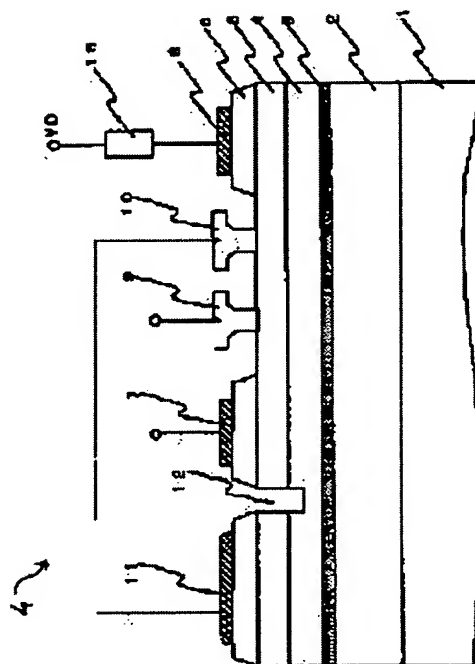
(72)Inventor : KUNIHIRO KAZUAKI
ONO YASUO
TAKAHASHI HIROYUKI
NAKAYAMA TATSUMINE
KASAHARA TAKEMOTO

(54) FIELD-EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a field-effect transistor, which can obtain a high output also in a microwave band and in which degradation of its distortion characteristics is not generated.

SOLUTION: A field-effect transistor is provided with an n-type channel layer 5 formed on a semiconductor substrate, a p-type embedded layer 3 which is provided under the layer 5 and is neutralized, a source electrode 7 on the layer 5, a drain electrode 8 formed on the layer 5 leaving an interval between the electrode 8 and the electrode 7 and first and second gate electrodes 9 and 10 formed between the electrodes 7 and 8. An n-type external electrode 11, which is electrically insulated from the layer 5 and constitutes a diode with the layer 3, is formed on the layer 3 in the vicinity of the electrode 7, and the electrode 11 is connected with the electrode 10. Holes in the layer 3 are fed to the electrode 10 through the electrode 11, and reduction in the drain current is self-corrected.



LEGAL STATUS

[Date of request for examination] 02.03.2000

[Date of sending the examiner's decision of rejection] 11.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-286428

(P 2 0 0 0 - 2 8 6 4 2 8 A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int. Cl. ⁷	識別記号	F I	テームコード' (参考)
H01L 29/80		H01L 29/80	W 5F102
21/06		27/06	F
21/8232		29/80	E
27/095			

審査請求 有 請求項の数12 O L (全12頁)

(21) 出願番号	特願平11-91495	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成11年3月31日 (1999. 3. 31)	(72) 発明者	国弘 和明 東京都港区芝五丁目7番1号 日本電気株式会社内
		(72) 発明者	大野 泰夫 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	100089875 弁理士 野田 茂

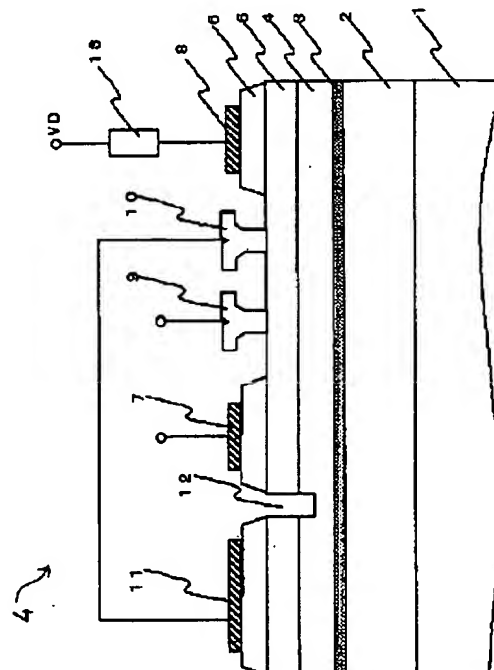
最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【課題】 マイクロ波帯においても高出力が得られ、かつひずみ特性の劣化を生じない電界効果トランジスタを実現する。

【解決手段】 半導体基板上に形成されたn型のチャネル層5と、チャネル層5の下に設けられた中性化した埋め込みp型層3と、チャネル層5上のソース電極7と、チャネル層5上にソース電極7との間に間隔をおいて形成されたドレイン電極8と、ソース電極7とドレイン電極8との間に形成された第1、第2ゲート電極9、10とを備えている。ソース電極7の近傍の埋め込みp型層3の上には、チャネル層5から電氣的に絶縁されて、埋め込み層と共にダイオードを構成する外部n型電極11が形成され、第2ゲート電極10に接続されている。埋め込みp型層3の正孔は外部n型電極11を通じて第2ゲート電極10に供給されドレイン電流の低下が自己補正される。



【特許請求の範囲】

【請求項 1】 半導体基板上に形成された第 1 の導電型のチャンネル層と、
前記チャンネル層の下に設けられた中性化した第 2 の導電型の埋め込み層と、
前記チャンネル層上に形成されたソース電極と、
前記チャンネル層上に前記ソース電極との間に間隔をおいて形成されたドレイン電極と、
前記ソース電極と前記ドレイン電極との間の前記チャンネル層上に形成されたゲート電極とを備えた電界効果トランジスタであって、
前記チャンネル層から電氣的に絶縁されて前記埋め込み層の上に形成され、前記埋め込み層と共にダイオードを構成する外部電極を備え、
前記外部電極は前記ゲート電極に接続されていることを特徴とする電界効果トランジスタ。

【請求項 2】 前記外部電極は、オーム性の第 1 の導電型の電極であり、前記埋め込み層と共に p n 接合を形成していることを特徴とする請求項 1 記載の電界効果トランジスタ。

【請求項 3】 前記外部電極は、前記半導体基板上に形成された、前記チャンネル層と同じ層レベルの第 1 の導電型の半導体層上に配設され、前記半導体層と前記チャンネル層との間には、両者を相互に電氣的に分離する溝が形成されていることを特徴とする請求項 2 記載の電界効果トランジスタ。

【請求項 4】 前記外部電極は前記ソース電極を半ば取り囲んで形成されていることを特徴とする請求項 3 記載の電界効果トランジスタ。

【請求項 5】 前記外部電極は前記ソース電極および前記ドレイン電極より面積が広いことを特徴とする請求項 3 記載の電界効果トランジスタ。

【請求項 6】 前記外部電極は前記埋め込み層に接して形成されたショットキー電極であることを特徴とする請求項 1 に記載の電界効果トランジスタ。

【請求項 7】 前記ゲート電極は相互に間隔をおいて配置された第 1 および第 2 のゲート電極から成り、前記外部電極は前記第 2 のゲート電極に接続され、前記第 1 のゲート電極は信号入力用のゲート電極であることを特徴とする請求項 1 記載の電界効果トランジスタ。

【請求項 8】 前記第 2 のゲート電極は前記第 1 のゲート電極と前記ドレイン電極との間に配置されていることを特徴とする請求項 7 記載の電界効果トランジスタ。

【請求項 9】 前記第 2 のゲート電極は、前記チャンネル層上に形成された絶縁体から成る表面保護膜の上に形成されていることを特徴とする請求項 7 記載の電界効果トランジスタ。

【請求項 10】 前記外部電極は低域通過フィルタを介して前記第 2 のゲート電極に接続されていることを特徴とする請求項 7 記載の電界効果トランジスタ。

【請求項 11】 前記外部電極は低域通過フィルタを介して前記ゲート電極に接続されていることを特徴とする請求項 1 記載の電界効果トランジスタ。

【請求項 12】 前記ゲート電極は信号入力用のゲート電極であることを特徴とする請求項 11 記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電界効果トランジスタに関し、特にマイクロ波帯の高出力増幅器を構成するために適した電界効果トランジスタに関するものである。

【0002】

【従来の技術】 ガリウム砒素（以下、GaAs）を用いた MESFET (Metal Semiconductor Field Effect Transistor) や HJFET (Heterojunction FET) は、移動体通信の基地局や携帯電話端末用のマイクロ波帯高出力増幅器として広く用いられている。また、近年、窒化ガリウム（以下、GaN）に代表されるワイドバンド半導体は、破壊電界が GaAs に比べ桁近く高いことや、 piezo 効果を利用して高いシートキャリア密度が得られることから、GaAs 系 FET を上回る高出力 FET 用材料として注目され、盛んに研究開発が進められている。そして、これら無線通信用途に用いられる高出力 FET においては、更なる高出力化、高効率化、低ひずみ化が要求されている。

【0003】 FET の高出力化には、高電流密度と高耐圧を得ることが重要な技術要素の一つとなっている。しかしながら、GaAs や GaN では、バルク結晶や半導体表面に多量の深い準位（トラップ）が存在しており、FET の動作中、トラップにキャリアが捕獲されることによって、電流ラグや電流コラプスと呼ばれる高周波での電流変動（減少）がおり、出力電力を低下させる要因となっていた。

【0004】 たとえば、1994 年エレクトロニクス・レターズ 30 巻 25 号 2175~2176 頁 (Electronics Letters Vol. 30 No. 25 p2175 1994) には GaN 系 HJFET の顕著な電流コラプス現象が報告されている。この報告例では、暗所で低ドレイン電圧領域でドレイン電流が大きく減少しており、GaN 系 FET が本来もつ高電流密度という特性を生かしきれていない。また、GaAs 系 FET でも DC 動作に比べ、AC 動作でドレイン電流が減少することがしばしば報告されているが、この現象もトラップでのキャリアの捕獲によって引き起こされている。

【0005】 これらの問題を解決するために、結晶性や半導体表面の品質を向上することの他に、FET の構造によって問題を回避する試みがなされている。たとえば

10

20

30

40

50

図 13 の断面側面図に示したように、特開平 10-270462 号公報には、n 型チャネル層 105 の下に p 型層 103 を設けるという方法が用いられている。なお、図 13 において、101 は半導体基板、107、108 はそれぞれソース電極およびドレイン電極、109 はゲート電極、106 はシリコンをドーブした n 型 GaAs 層である。

【0006】さらに、図 14 の断面側面図に示したように、1990 年アイ・イー・イー・イー・ジャーナル・オブ・ソリッド・ステート・サーキット 25 巻第 6 号 1544 頁 (IEEE Journal of Solid-State Circuits, Vol. 25, No. 6 p1544, 1990) には、p 型層 103 をソース電極 107 領域に接した外部電極 111 に接続して、その電位を固定する試みについて報告されている。このとき p 型層 103 が中性化していると、基板の電位が横方向 (チャネルに平行な方向) に固定されるので、基板結晶内トラップのキャリア捕獲による基板電位の変動が抑制され、それによってドレイン電流の変動や電流コラプスを無くすることができる。

【0007】また図 15 の断面側面図に示したように、中性化した埋め込み p 型層 103 を設けることによって、ゲート電極 109-ドレイン電極 108 の間のチャネル電子を空乏化することができるので、ゲート-ドレイン間の 2 端子耐圧が向上するという別の効果があることが、1998 年 アイ・イー・イー・イー・インターナショナル・エレクトロニクスデバイスミーティングのテクニカルダイジェスト 71 頁 (1998 IEEE International Electron Device Meeting Technical Digest p71) に報告されており、顕著な効果が実証されている。

【0008】

【発明が解決しようとする課題】図 13、14、15 に示した従来例は、数百 MHz 以下の周波数では、p 型層の電位がソース電極 (もしくは外部電極) に固定されているので、基板トラップによるドレイン電流変動を除去するのに有効であったが、マイクロ波帯では p 型層の電位がドレインとの容量結合によって変動してしまい、基板電位を固定する効果が無くなる。

【0009】すなわち、マイクロ波帯の AC 信号をゲート電極もしくはドレイン電極に入力すると、たとえ埋め込み p 型層 103 にオーム性接触する外部電極 (たとえば図 14 の外部電極 111) を設けていても、n 型のソース電極と埋め込み p 型層 103 の間に整流性があるので p 型層 103 から正孔がソース電極に一方に流れ出し、p 型層 103 の電位は徐々に低くなる。その結果、チャネルが基板側から狭窄されてドレイン電流がマイクロ波帯で減少してしまうという問題が生じ、FET の最大出力電力の低下をもたらす。しかもこの現象は、入力

振幅が大きくなる程顕著になり、このことは入力振幅に依存してトランジスタの電力利得が急激に低下することを意味するので、入出力電力特性のひずみ特性の劣化を招いてしまう。

【0010】本発明の主な目的は、マイクロ波帯においても高出力が得られ、かつひずみ特性の劣化を生じない電界効果トランジスタを提供することにある。

【0011】

【課題を解決するための手段】本発明は、上記目的を達成するため、半導体基板上に形成された第 1 の導電型のチャネル層と、前記チャネル層の下に設けられた中性化した第 2 の導電型の埋め込み層と、前記チャネル層上に形成されたソース電極と、前記チャネル層上に前記ソース電極との間に間隔をおいて形成されたドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記チャネル層上に形成されたゲート電極とを備えた電界効果トランジスタであって、前記チャネル層から電気的に絶縁されて前記埋め込み層の上に形成され、前記埋め込み層と共にダイオードを構成する外部電極を備え、前記外部電極は前記ゲート電極に接続されていることを特徴とする。

【0012】本発明の電界効果トランジスタでは、第 2 の導電型のキャリアが上記ダイオードを通じて外部電極よりゲート電極に供給され、ゲート容量に蓄積してゲート電圧を変化させる。そして、このゲート電圧の変化は、基板内トラップによるキャリア捕獲によってドレイン電流が低下するという現象を打ち消すように作用する。したがって本発明の電界効果トランジスタでは、マイクロ波帯においても高出力が得られ、また、入力振幅が大きい場合にも電力利得が低下しないのでひずみ特性が劣化することがない。

【0013】

【発明の実施の形態】次に本発明の実施の形態例について図面を参照して説明する。図 1 は本発明による電界効果トランジスタの一例を示す断面側面図、図 2 は図 1 に示した電界効果トランジスタの平面図である。なお、図 1 は図 2 の A-A' 線に沿った断面を示している。図 1、図 2 に示した第 1 の実施の形態例の電界効果トランジスタ 4 (FET 4) は n 型のデュアルゲート GaAs・MESFET となっており、半絶縁性 GaAs 基板 1 の上に、アンドープ GaAs 層 2 (厚さ約 800 nm)、ベリリウム (Be) を $5 \times 10^{17} \text{ cm}^{-3}$ の濃度にドーブした p 型 GaAs 層、すなわち埋め込み p 型層 3 (25 nm)、アンドープ GaAs 層 4 (200 nm)、シリコン (Si) を $2 \times 10^{17} \text{ cm}^{-3}$ の濃度にドーブした n 型 GaAs 層、すなわちチャネル層 5 (235 nm)、Si を $5 \times 10^{17} \text{ cm}^{-3}$ の濃度にドーブした n 型 GaAs 層 6 (100 nm) が、この順番で分子線エビタキシー (MBE) 法によって成長させ、形成されている。

【0014】オーム性のソース電極7とドレイン電極8は、金・ゲルマニウム合金/ニッケル/金(AuGe/Ni/Au)を450℃で30秒間アニールすることによって各n型GaAs層6上にそれぞれ形成されている。ソース電極7とドレイン電極8との間には、低ソース抵抗と高耐圧を同時に達成するために結晶表面から150nmだけエピ結晶を除去したチャネル層5の表面に、ショットキー性の第1ゲート電極9が、タングステンシリサイド(WSi)をスパッタし、長さ0.9μmに加工することによって形成されている。

【0015】ソース電極7は接地され、一方、ドレイン電極8は負荷13を介して電圧がVDの電源に接続される。そして第1ゲート電極9に入力RF信号が入力される。また、第1ゲート電極9の近傍には、第1ゲート電極9との間に間隔を置き、第1ゲート電極9とドレイン電極8との間にWSiによって第2ゲート電極10が形成されている。ドレイン電極8と反対側の、ソース電極7の側部には、金・ゲルマニウム合金/ニッケル/金(AuGe/Ni/Au)からなるオーム性の外部n型電極11が設けられ、外部n型電極11とソース電極7との間には、n型GaAs層5とn型GaAs層6とを除去して、埋め込みp型層3には至らない結晶溝12が形成されている。

【0016】これを上から見ると、図2に示したように外部n型電極11は、チャネル層5とは結晶溝12によって電氣的に絶縁されて、かつソース電極7を半ば囲んで、ソース電極7およびドレイン電極8より広い面積に形成されている。埋め込みp型層3は、チャネル層5と外部n型電極11の下に、重なって形成されている。そして外部n型電極11は、上記第2ゲート10に接続されている。

【0017】次に、このように構成された電界効果トランジスタ4の動作について説明する。図3は第1の実施の形態例の電界効果トランジスタ4の動作を示す断面側面図、図4の(A)ないし(D)は同波形図である。図4において、横軸はすべて時間を表し、図4の(A)の縦軸は第1ゲート電極9の電圧、(B)はドレイン電極8の電圧、(C)は埋め込みp型層3の電圧、(D)は第2ゲート電極10の電圧をそれぞれ表している。

【0018】本実施の形態例の電界効果トランジスタ4では、中性化した埋め込みp型層3が設けられているため、チャネル層5は電氣的にシールドされ、したがって基板トラップに捕獲された電荷21はFET4の動作に悪影響を及ぼさない。今、図4の(A)に示したように、FET4の第1ゲート電極9にRF信号が入力されたとすると、ドレイン電極8の電圧も入力信号に対応して図4の(B)に示したように変化する。ところで、ドレイン領域と埋め込みp型層3とは等価的に容量17で接続されているので、ドレイン電極8の電圧が高周波で変化すると、埋め込みp型層3の電圧もそれに呼応して

変化する。

【0019】一方、埋め込みp型層3と外部n型電極11とはp-i-nダイオード構造14を形成しており整流性を持っている。そのため、埋め込みp型層3の電圧が正側に振り込まれたときは、埋め込みp型層3から正孔電流が順方向で外部n電極11から流れ出る。しかし、p型層の電圧が負側に振り込まれたときには、逆方向なので電流が埋め込みp型層3に流れ込むことはない。その結果、埋め込みp型層3の平均電圧は、図4の(C)に示したように、徐々に負側に変化していくことになる。

【0020】図14に示した従来例の外部電極111は、ソース電極107や他の電源に接続されていたので、正孔は埋め込み層から外部電極を通じて自由に流れ出るのみであった。しかし、本実施の形態例では、外部n型電極11は第2ゲート電極10に接続されているので、流れ出た正孔は第2ゲート電極10のゲート容量を正に帯電させ、第2ゲート電極10の電圧は、図4の(D)に示したように徐々に正側に変化する。

【0021】その結果、本実施の形態例では、埋め込みp型層3の電圧がしだいに負側に変化する現象が自己補正されて埋め込みp型層3の電圧は一定値に維持され、したがって、ドレイン電流の直流成分は一定に保たれる。図11は、電界効果トランジスタ4のドレイン電流が一定に保たれることを従来の電界効果トランジスタと比較して示す図面であり、(A)は回路図、(B)はゲート電圧を示すグラフ、(C)はドレイン電流の直流成分を示すグラフである。図11の(A)は、電界効果トランジスタ4周辺を簡略化して示しており、第1ゲート電極9にバイアス電圧と共に交流電圧が印加され、一方、ドレインには負荷13を通じて電流(矢印I)が流れることを示している。図11の(B)、(C)の横軸は共に時間を表し、(B)の縦軸は第1ゲート電極9の電圧、(C)の縦軸はドレイン電流の平均値(直流成分)を表している。

【0022】図11の(B)に示したように第1ゲート電極9に直流バイアス電圧と共に交流電圧を印加すると、ドレイン電流の平均値は、従来の電界効果トランジスタでは図11の(C)に曲線12で示したように時間の経過と共にしだいに低下してしまうが、本実施の形態例の電界効果トランジスタ4では、直線14で示したように時間が経過しても一定である。

【0023】また、図12はマイクロ波帯における電界効果トランジスタ4の電力利得および出力電力を従来の電界効果トランジスタと比較して示すグラフであり、図中、横軸は入力電力の大きさを示し、右側の縦軸は電力利得を、左側の縦軸は出力電力をそれぞれ表している。そして、曲線22、24はそれぞれ実施の形態例の電界効果トランジスタ4および従来の電界効果トランジスタの電力利得の変化を示し、曲線26、28はそれぞれ実

施の形態例の電界効果トランジスタ 4 および従来の電界効果トランジスタの出力電力の変化を示している。

【0024】従来の電界効果トランジスタ 4 では、図 11 に曲線 12 により示したように時間が経過するとドレイン電流は低下するが、その低下の程度は入力電力が大きいほど大きい。したがって、図 12 のグラフに示したように、従来の電界効果トランジスタでは、入力電力が大きくなると電力利得（曲線 24）、出力電力（曲線 28）共に大きく低下する。これに対して、本実施の形態例の電界効果トランジスタ 4 では、ドレイン電流が変化しないので、入力電力が、大きい範囲でも電力利得（曲線 22）は一定に維持され、また出力電力（曲線 26）は入力電力に比例して増大する。このように、本実施の形態例の電界効果トランジスタ 4 では、マイクロ波帯においても高出力が得られ、また、入力振幅が大きい場合にも電力利得が低下しないのでひずみ特性が劣化することがない。

【0025】なお、本実施の形態例の電界効果トランジスタ 4 でも、埋め込み p 型層 3 の正孔の一部はソース電極 7 にも流れ出るが、上述のように外部 n 型電極 11 の面積を大きくとっているので、正孔の大部分は外部 n 型電極 11 に流れ出て、本実施の形態例の効果が維持される。

【0026】また、第 2 ゲート電極 10 に与える電圧は、第 1 ゲート電極 7 に与える入力 RF 信号と位相が一致しているか、あるいは入力 RF 成分が十分に減衰していることが望ましい。しかし、通常の FET の応用では負荷 13 が存在するので、原理的には第 2 ゲート電極 10 にフィードバックされた信号は入力信号とは 180 度位相がずれている（図 4 の（B））。ただし、実際には、正孔の移動度が小さく埋め込み p 型層 3 の抵抗 18（図 3）が大きいことと、寄生容量 16 が存在するために、第 2 ゲート電極 10 に印加される信号の RF 成分は、図 4 の（C）にも示したように、外部 n 型電極 11 から出る時点ですでにかなり減衰しており、上記 180 度の位相のずれは通常は問題にならない。

【0027】次に本発明の第 2 の実施の形態例について説明する。図 5 は第 2 の実施の形態例の電界効果トランジスタを示す断面側面図である。図中、図 1 などと同一の要素には同一の符号が付されており、それらに関する説明はここでは省略する。第 2 の実施の形態例の電界効果トランジスタ 32 が上記電界効果トランジスタ 4 と異なるのは、外部 n 型電極 11 の電圧から RF 成分を取り除くために抵抗と容量からなる低域フィルター 19 が設けられている点である。したがって、電界効果トランジスタ 32 では、第 2 ゲート電極 10 に印加される電圧に含まれる RF 成分は電界効果トランジスタ 4 の場合より大幅に減衰し、ドレイン電流をさらに確実に一定に維持することができる。その結果、マイクロ波帯においても高出力が得られ、かつひずみ特性が劣化しないという点

でいっそう良好な結果が得られる。なお、低域フィルター 19 としては必ずしも抵抗と容量により構成したフィルターに限定されるものではない。

【0028】次に本発明の第 3 の実施の形態例について説明する。図 6 は第 3 の実施の形態例の電界効果トランジスタを示す断面側面図である。図中、図 1 などと同一の要素には同一の符号が付されており、それらに関する説明はここでは省略する。第 3 の実施の形態例の電界効果トランジスタ 34 が上記電界効果トランジスタ 4 と異なるのは、層間絶縁膜として SiO₂ 膜 20 を厚さ 100 nm で素子表面に熱 CVD によって成膜した上に、第 2 ゲート電極 10 が金（Au）の蒸着によって形成されている点である。

【0029】このような構造を採ることによって、第 2 ゲート電極 10 は MOS 構造となり、リーク電流がなくなるので正電荷の蓄積効果はより高まる。その結果、ドレイン電流をさらに確実に一定に維持することができ、マイクロ波帯においても高出力が得られ、かつひずみ特性が劣化しないという点でいっそう良好な結果が得られる。

【0030】次に本発明の第 4 の実施の形態例について説明する。図 7 は第 4 の実施の形態例の電界効果トランジスタを示す断面側面図である。図中、図 1 などと同一の要素には同一の符号が付されており、それらに関する説明はここでは省略する。第 4 の実施の形態例の電界効果トランジスタ 36 が上記電界効果トランジスタ 4 と異なるのは、外部 n 型電極 11 が、n 型 GaAs 層 6 と n 型 GaAs 層 5 とアンドープ GaAs 層 4 とを部分的に除去し、埋め込み p 型層 3 を露出させた後、埋め込み p 型層 3 に接して金（Au）を蒸着することによって形成されている点である。

【0031】したがって、電界効果トランジスタ 36 では、外部 n 型電極 11 は p 型のショットキーダイオードを形成している。このような構成を採ることによって、製造プロセスは複雑になるが、埋め込み p 型層 3 に整流性をもつ外部 n 型電極 11 が直接接続されることになり、外部 n 型電極 11 を通じた正孔の流れが良好となる。そのため、ドレイン電流をさらに確実に一定に維持することができ、マイクロ波帯においても高出力が得られ、かつひずみ特性が劣化しないという効果がいっそう顕著となる。

【0032】次に、本発明の第 5 の実施の形態例について説明する。図 8 は第 5 の実施の形態例の電界効果トランジスタを示す平面図、図 9 は図 8 における B-B' 線に沿った断面側面図である。図中、図 1 などと同一の要素には同一の符号が付されており、それらに関する説明はここでは省略する。第 5 の実施の形態例の電界効果トランジスタ 38 が上記電界効果トランジスタ 4 と異なるのは、電界効果トランジスタ 38 がゲート電極として第 1 ゲート電極 9 のみを備え、低域フィルター 19 の出力

信号は第1ゲート電極9に供給されている点である。

【0033】このような構成としても、埋め込みp型層3からの正孔をゲート電極に供給してゲート電極の電圧を上昇させることができ、したがって自己補正によりドレイン電流を一定に保つことができる。そのため、電界効果トランジスタ38においても電界効果トランジスタ4の場合と同様の効果を得ることができ、さらに、電界効果トランジスタ38では第2ゲート電極10は不要であるから製造工程が簡素になるという新たな効果が得られる。

【0034】なお、図8、図9に示したように、入力RF信号の漏れを防止するために、チョークインダクタ30を、低域フィルター19と第1ゲート電極9との間に挿入したり、バイアス電圧VGの供給源との間に挿入することも有効である。また、低域フィルター19は外部に取り付ける以外にも、同じ半導体基板上にモノリシックに形成することも無論可能である。

【0035】次に、本発明の第6の実施の形態例について説明する。図10は第6の実施の形態例の電界効果トランジスタを示す断面側面図である。図中、図1などと同一の要素には同一の符号が付されており、それらに関する説明はここでは省略する。第6の実施の形態例の電界効果トランジスタ40が上記電界効果トランジスタ38と異なるのは、電界効果トランジスタ36と同様、外部n型電極11が、埋め込みp型層3に接してAuを蒸着することによって形成されている点である。したがって、電界効果トランジスタ40では、第5の実施の形態例で得られる効果に加えて第4の実施の形態例の効果をも得ることができる。

【0036】なお、上記実施の形態例では、電界効果トランジスタはすべてMBEで作製したn型GaAs MESFETであるとしたが、本発明の原理は、埋め込み層をイオン注入で作製した場合や、導電型を逆転した場合、GaAs以外の半導体材料（たとえばInPやGaN）を用いた場合、さらにはMEFET以外のFET構造（たとえば高電子移動度電界効果トランジスタ：HEMT）を採用した場合のいずれにおいても有効であることは言うまでもない。

【0037】

【発明の効果】以上説明したように本発明は、半導体基板上に形成された第1の導電型のチャネル層と、前記チャネル層の下に設けられた中性化した第2の導電型の埋め込み層と、前記チャネル層上に形成されたソース電極と、前記チャネル層上に前記ソース電極との間に間隔をおいて形成されたドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記チャネル層上に形成されたゲート電極とを備えた電界効果トランジスタであって、前記チャネル層から電気的に絶縁されて前記埋め込み層の上に形成され、前記埋め込み層と共にダイオードを構成する外部電極を備え、前記外部電極は前記ゲート電極

に接続されていることを特徴とする。

【0038】このように構成された本発明の電界効果トランジスタでは、第2の導電型のキャリアが上記ダイオードを通じて外部電極よりゲート電極に供給され、ゲート容量に蓄積してゲート電圧を変化させる。そして、このゲート電圧の変化は、基板内トラップによるキャリア捕獲によってドレイン電流が低下するという現象を打ち消すように作用する。したがって本発明の電界効果トランジスタでは、マイクロ波帯においても高出力が得られ、また、入力振幅が大きい場合にも電力利得が低下しないのでひずみ特性が劣化することがない。

【図面の簡単な説明】

【図1】本発明による電界効果トランジスタの一例を示す断面側面図である。

【図2】図1に示した電界効果トランジスタの平面図である。

【図3】第1の実施の形態例の電界効果トランジスタの動作を示す断面側面図である。

【図4】（A）ないし（D）は第1の実施の形態例の電界効果トランジスタの動作を示す波形図である。

【図5】第2の実施の形態例の電界効果トランジスタを示す断面側面図である。

【図6】第3の実施の形態例の電界効果トランジスタを示す断面側面図である。

【図7】第4の実施の形態例の電界効果トランジスタを示す断面側面図である。

【図8】第5の実施の形態例の電界効果トランジスタを示す平面図である。

【図9】図8におけるB-B'線に沿った断面側面図である。

【図10】第6の実施の形態例の電界効果トランジスタを示す断面側面図である。

【図11】電界効果トランジスタのドレイン電流が一定に保たれることを従来の電界効果トランジスタと比較して示す図面であり、（A）は回路図、（B）はゲート電圧を示すグラフ、（C）はドレイン電流の直流成分を示すグラフである。

【図12】マイクロ波帯における電界効果トランジスタの電力利得および出力電力を従来の電界効果トランジスタと比較して示すグラフである。

【図13】従来の電界効果トランジスタの一例を示す断面側面図である。

【図14】従来の電界効果トランジスタの他の例を示す断面側面図である。

【図15】従来の電界効果トランジスタのさらに他の例を示す断面側面図である。

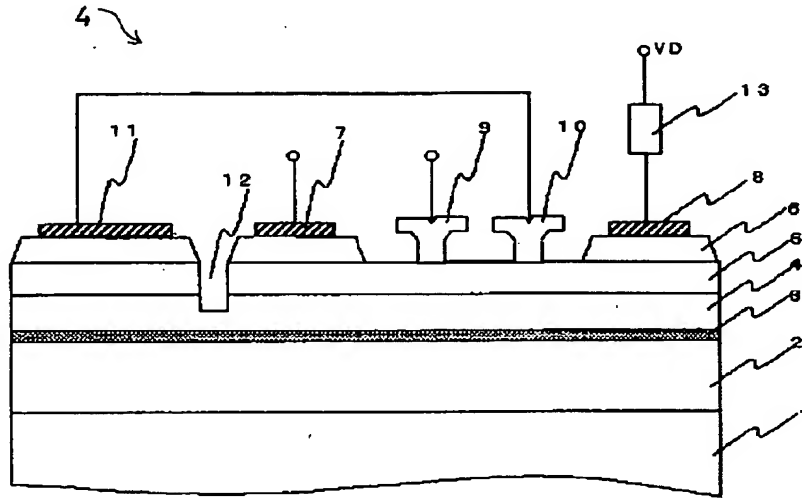
【符号の説明】

1……半絶縁性GaAs基板、2……アンドープGaAs層、3……埋め込みp型層、4……電界効果トランジスタ（FET）、5……チャネル層、6……n型GaA

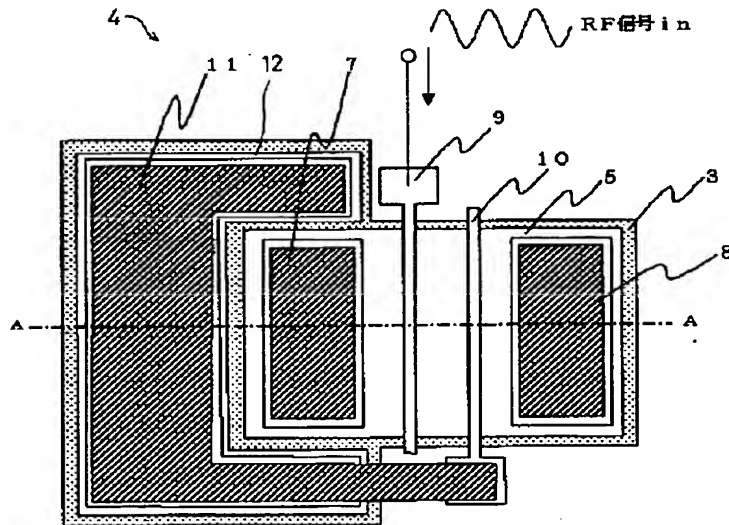
11
s 層、7……ソース電極、8……ドレイン電極、9……
第1ゲート電極、10……第2ゲート電極、11……外
部n型電極、12……曲線、13……負荷、14……直
線、16……寄生容量、18……抵抗、19……低域フ
ィルター、20……SiO₂膜、21……電荷、22……

12
……曲線、24……曲線、26……曲線、28……曲線、
30……チョークインダクタ、32……電界効果ラン
ジスタ、34……電界効果ランジスタ、36……電界
効果ランジスタ、38……電界効果ランジスタ、4
0……電界効果ランジスタ。

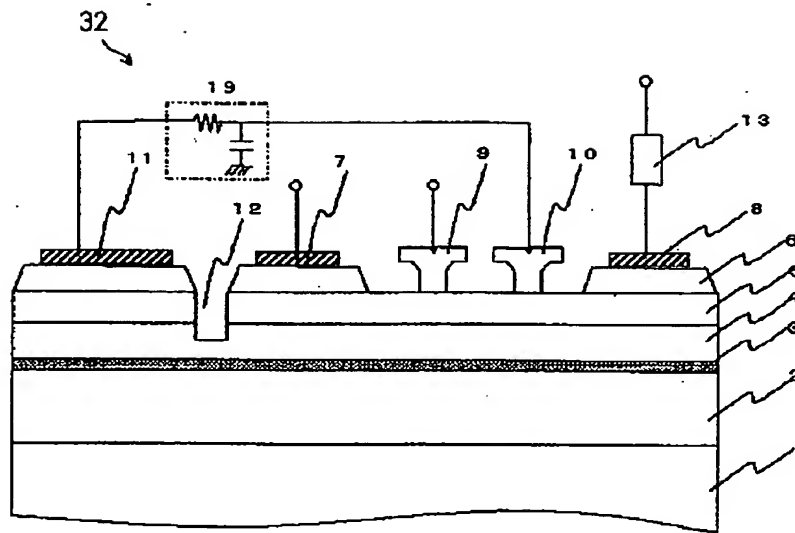
【図1】



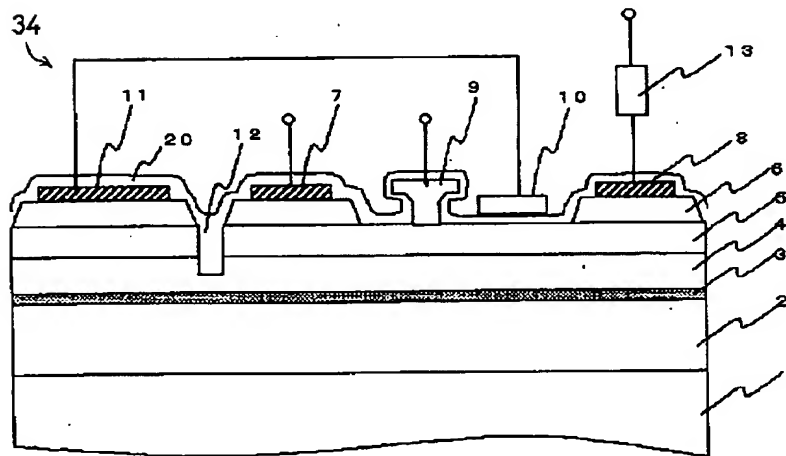
【図2】



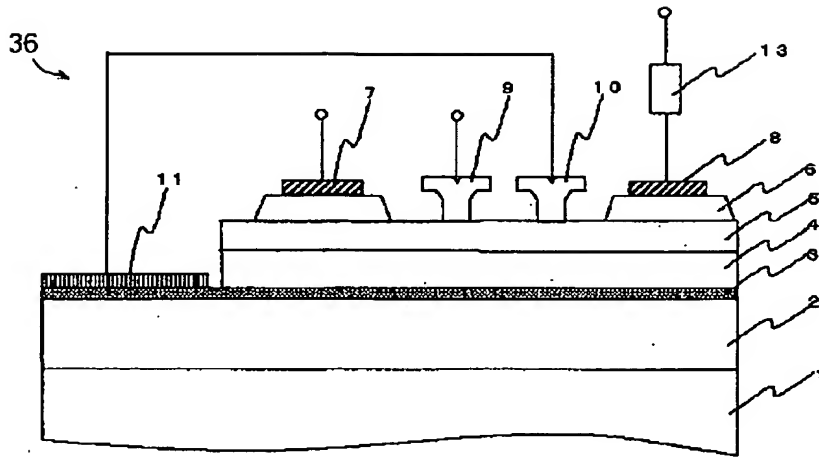
【図 5】



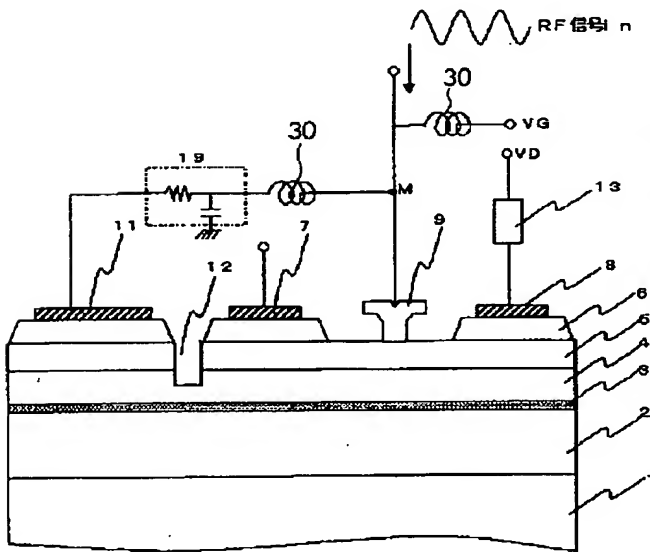
【図 6】



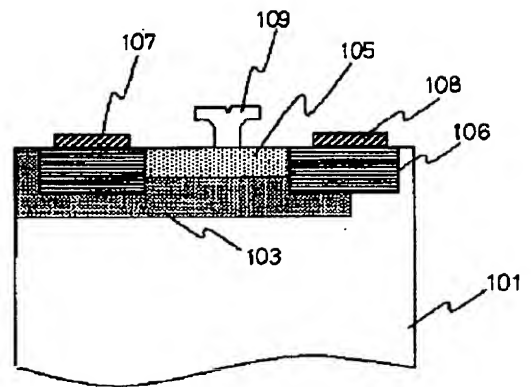
【図 7】



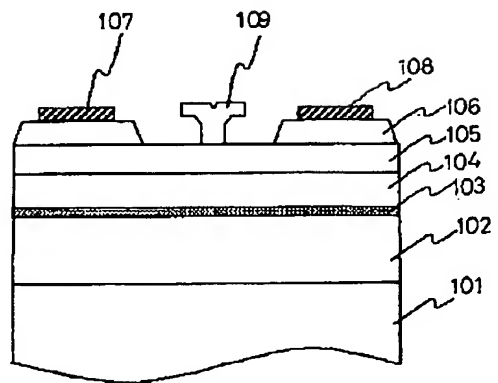
【図 9】



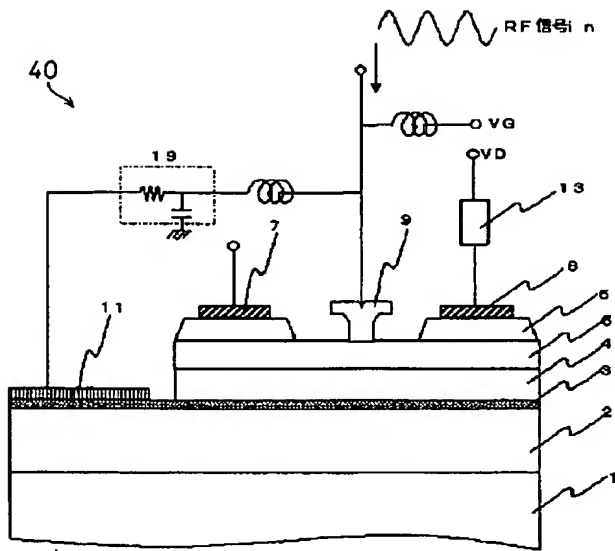
【図 13】



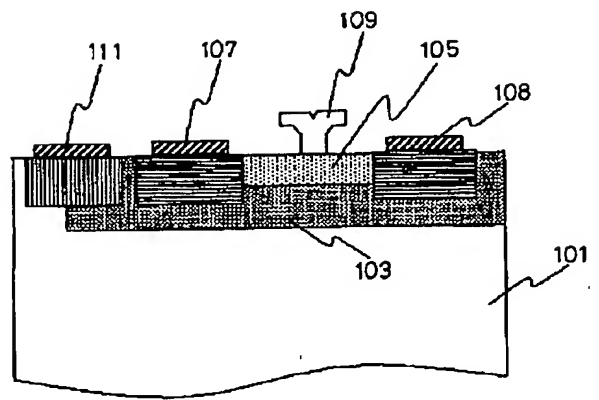
【図 15】



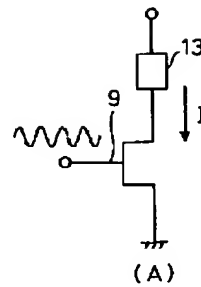
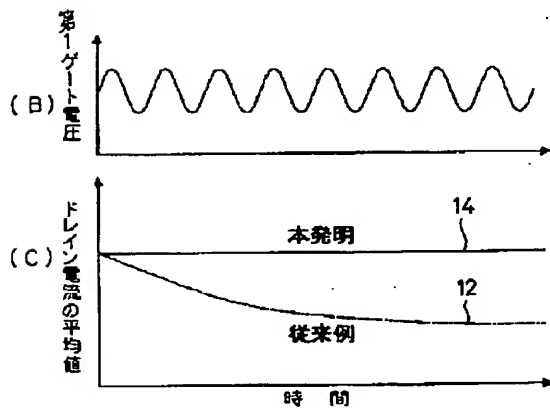
【図 10】



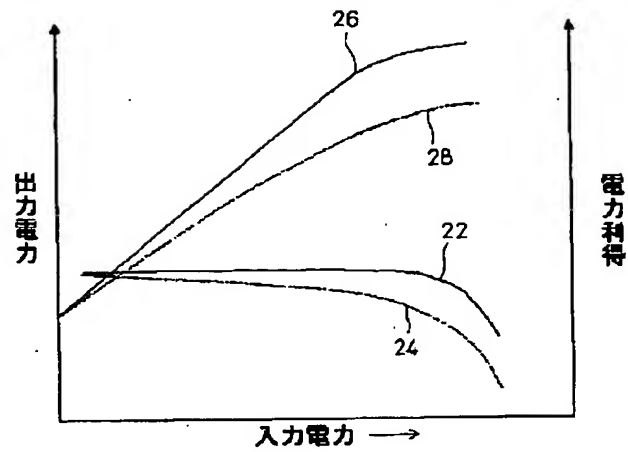
【図 14】



【図 11】



【図 12】



フロントページの続き

(72) 発明者 高橋 裕之
東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内
(72) 発明者 中山 達峰
東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内

(72) 発明者 笠原 健資
東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内
F ターム (参考) 5F102 FA02 GA14 GB01 GC01 GC05
GD01 GD10 GJ05 GL05 GN05
GT03 GT05 GV07 HC01 HC11